

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application: 2003年 4月21日

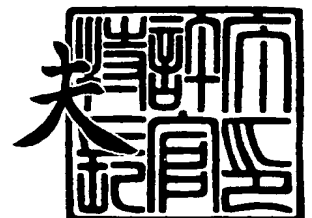
出願番号
Application Number: 特願2003-115248
[ST. 10/C]: [JP2003-115248]

出願人
Applicant(s): セイコーエプソン株式会社

2004年 2月19日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



出証番号 出証特2004-3010958

【書類名】 特許願

【整理番号】 J0097817

【あて先】 特許庁長官殿

【国際特許分類】 H02M 7/00
H01L 27/00

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社社内

【氏名】 森 優

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100110858

【弁理士】

【氏名又は名称】 柳瀬 睦肇

【選任した代理人】

【識別番号】 100107526

【弁理士】

【氏名又は名称】 鈴木 直郁

【選任した代理人】

【識別番号】 100110777

【弁理士】

【氏名又は名称】 宇都宮 正明

【選任した代理人】

【識別番号】 100100413

【弁理士】

【氏名又は名称】 渡部 温

【手数料の表示】

【予納台帳番号】 085672

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014943

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック信号検出回路及びそれを用いた半導体集積回路

【特許請求の範囲】

【請求項 1】 クロック信号が第 1 のレベルにあるときに所定の電位の出力信号を生成し、クロック信号が第 2 のレベルにあるときに出力端子をハイインピーダンス状態にする第 1 の回路と、

前記第 1 の回路の出力端子と、前記所定の電位と異なる電位との間に接続されたインピーダンス素子と、

前記第 1 の回路の出力電位に従ってクロック信号検出結果を生成する第 2 の回路と、

を具備するクロック信号検出回路。

【請求項 2】 クロック信号が第 1 のレベルにあるときに所定の電位の出力信号を生成し、クロック信号が第 2 のレベルにあるときに出力端子をハイインピーダンス状態にする第 1 の回路と、

前記第 1 の回路の出力端子と、前記所定の電位と異なる電位との間に接続された第 1 のインピーダンス素子と、

前記第 1 の回路の出力電位に従って出力信号を生成する第 2 の回路と、

クロック信号が第 2 のレベルにあるときに所定の電位の出力信号を生成し、クロック信号が第 1 のレベルにあるときに出力端子をハイインピーダンス状態にする第 3 の回路と、

前記第 3 の回路の出力端子と、前記所定の電位と異なる電位との間に接続された第 2 のインピーダンス素子と、

前記第 3 の回路の出力電位に従って出力信号を生成する第 4 の回路と、

前記第 2 及び第 4 の回路の出力信号に基づいてクロック信号検出結果を生成する第 5 の回路と、

を具備するクロック信号検出回路。

【請求項 3】 前記インピーダンス素子が、抵抗又はトランジスタを含む、請求項 1 又は 2 記載のクロック信号検出回路。

【請求項 4】 クロック信号が第 1 のレベルにあるときに所定の電位の出力

信号を生成し、クロック信号が第2のレベルにあるときに出力端子をハイインピーダンス状態にする第1の回路と、

前記第1の回路の出力端子と、前記所定の電位と異なる電位との間にインピーダンス素子が接続されているときに、前記第1の回路の出力電位に従ってクロック信号検出結果を生成する第2の回路と、
を具備する半導体集積回路。

【請求項5】 クロック信号が第1のレベルにあるときに所定の電位の出力信号を生成し、クロック信号が第2のレベルにあるときに出力端子をハイインピーダンス状態にする第1の回路と、

前記第1の回路の出力端子と、前記所定の電位と異なる電位との間に第1のインピーダンス素子が接続されているときに、前記第1の回路の出力電位に従って出力信号を生成する第2の回路と、

クロック信号が第2のレベルにあるときに所定の電位の出力信号を生成し、クロック信号が第1のレベルにあるときに出力端子をハイインピーダンス状態にする第3の回路と、

前記第3の回路の出力端子と、前記所定の電位と異なる電位との間に第2のインピーダンス素子がされているときに、前記第3の回路の出力電位に従って出力信号を生成する第4の回路と、

前記第2及び第4の回路の出力信号に基づいてクロック信号検出結果を生成する第5の回路と、
を具備する半導体集積回路。

【請求項6】 前記第1及び第2のインピーダンス素子の各々が、外付けの抵抗、又は、前記半導体集積回路内に形成された抵抗若しくはトランジスタを含む、請求項4又は5記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、クロック信号が供給されているか否かを検出するクロック信号検出回路に関し、さらに、そのようなクロック信号検出回路を用いた半導体集積回路

に関する。

【0002】

【従来の技術】

一般に、デジタル信号を扱う半導体集積回路には、クロック信号に同期して動作するフリップフロップ等の回路が多数内蔵されており、そのような回路にクロック信号が供給されているか否かを検出するために、クロック信号検出回路が用いられることがある。

【0003】

従来のクロック信号検出回路は、基準となるクロック信号に基づいて、検出すべきクロック信号をサンプリングすることにより、検出すべきクロック信号のレベルが変化するか否かを検出していた。しかしながら、そのような検出を行うためには、大きな回路規模が必要となり、消費電力が大きくなってしまいうという問題があった。また、検出の確実性も、あまり高いものではなかった。

【0004】

ところで、下記の特許文献1には、画素保護回路付き半導体装置の一例として、ボロメータ型赤外線センサが記載されている。このボロメータ型赤外線センサは、入力される複数のデータ信号やクロック信号をそれぞれの監視回路で常に監視し、これらの信号の断線等による走査回路の停止や動作不良の場合にスイッチを遮断して画素が選択されないようにしている。

【0005】

このボロメータ型赤外線センサにおいて、水平クロック監視回路は、リトリガ機能付きの単安定マルチバイブレータで構成され、水平クロック信号が入力されている場合には、水平スイッチが画素の選択を許可する信号を出力し、水平クロック信号が停止した場合には、コンデンサ及び抵抗で決まる時定数後に水平スイッチを遮断状態にする信号を出力することによって、画素の特性劣化や画素破壊を防止して装置を保護する。

【0006】

ここで、コンデンサ及び抵抗で決まる時定数は、ある特定の画素が選択され続けても、ボロメータが自己発熱による画素の特性劣化や画素破壊を起こさない時

間に合わせられる。しかしながら、単安定マルチバイブレータは、回路規模や消費電力が大きい。また、コンデンサを半導体集積回路において形成する場合には、2つの平行電極によって誘電体を挟む構造となるので、受動素子の中でも特に大きな面積を必要とする。

【0007】**【特許文献1】**

特開平10-123996号公報 (第1、5頁、図1)

【0008】**【発明が解決しようとする課題】**

そこで、上記の点に鑑み、本発明は、回路規模及び消費電力を抑えながら、クロック信号が供給されているか否かを高精度に検出することができるクロック信号検出回路、及び、そのようなクロック信号検出回路を用いた半導体集積回路を提供することを目的とする。

【課題を解決するための手段】

以上の課題を解決するため、本発明の第1の観点に係るクロック信号検出回路は、クロック信号が第1のレベルにあるときに所定の電位の出力信号を生成し、クロック信号が第2のレベルにあるときに出力端子をハイインピーダンス状態にする第1の回路と、第1の回路の出力端子と、所定の電位と異なる電位との間に接続されたインピーダンス素子と、第1の回路の出力電位に従ってクロック信号検出結果を生成する第2の回路とを具備する。

【0009】

また、本発明の第2の観点に係るクロック信号検出回路は、クロック信号が第1のレベルにあるときに所定の電位の出力信号を生成し、クロック信号が第2のレベルにあるときに出力端子をハイインピーダンス状態にする第1の回路と、第1の回路の出力端子と、所定の電位と異なる電位との間に接続された第1のインピーダンス素子と、第1の回路の出力電位に従って出力信号を生成する第2の回路と、クロック信号が第2のレベルにあるときに所定の電位の出力信号を生成し、クロック信号が第1のレベルにあるときに出力端子をハイインピーダンス状態にする第3の回路と、第3の回路の出力端子と、所定の電位と異なる電位との間

に接続された第2のインピーダンス素子と、第3の回路の出力電位に従って出力信号を生成する第4の回路と、第2及び第4の回路の出力信号に基づいてクロック信号検出結果を生成する第5の回路とを具備する。

【0010】

以上において、インピーダンス素子が、抵抗又はトランジスタを含むようにしても良い。

【0011】

さらに、本発明の第1の観点に係る半導体集積回路は、クロック信号が第1のレベルにあるときに所定の電位の出力信号を生成し、クロック信号が第2のレベルにあるときに出力端子をハイインピーダンス状態にする第1の回路と、第1の回路の出力端子と、所定の電位と異なる電位との間にインピーダンス素子が接続されているときに、第1の回路の出力電位に従ってクロック信号検出結果を生成する第2の回路とを具備する。

【0012】

また、本発明の第2の観点に係る半導体集積回路は、クロック信号が第1のレベルにあるときに所定の電位の出力信号を生成し、クロック信号が第2のレベルにあるときに出力端子をハイインピーダンス状態にする第1の回路と、第1の回路の出力端子と、所定の電位と異なる電位との間に第1のインピーダンス素子が接続されているときに、第1の回路の出力電位に従って出力信号を生成する第2の回路と、クロック信号が第2のレベルにあるときに所定の電位の出力信号を生成し、クロック信号が第1のレベルにあるときに出力端子をハイインピーダンス状態にする第3の回路と、第3の回路の出力端子と、所定の電位と異なる電位との間に第2のインピーダンス素子がされているときに、第3の回路の出力電位に従って出力信号を生成する第4の回路と、第2及び第4の回路の出力信号に基づいてクロック信号検出結果を生成する第5の回路とを具備する。

【0013】

以上において、第1及び第2のインピーダンス素子の各々が、外付けの抵抗、又は、半導体集積回路内に形成された抵抗若しくはトランジスタを含むようにしても良い。

【0014】

本発明によれば、クロック信号が第1のレベルにあるときに所定の電位の出力信号を生成すると共にクロック信号が第2のレベルにあるときに出力端子をハイインピーダンス状態にする第1の回路の出力信号を平滑してクロック信号の検出に用いることにより、回路規模及び消費電力を抑えながら、クロック信号が供給されているか否かを高精度に検出することができる。

【0015】

【発明の実施の形態】

以下、図面に基づいて本発明の実施の形態について説明する。

図1は、本発明の第1の実施形態に係るクロック信号検出回路の構成を示す図である。図1に示すように、このクロック信号検出回路は、半導体集積回路の内部において、クロック信号CKを反転するインバータ1と、インバータ1によって反転されたクロック信号が出力イネーブル端子に供給されるトライステートバッファ回路2と、トライステートバッファ回路2の出力信号を入力するバッファ回路3とを含んでいる。トライステートバッファ回路2の出力信号は、半導体集積回路の端子（パッド）4にも供給されており、パッド4とアース電位との間に、インピーダンス素子として外付けの抵抗5が接続される。

【0016】

図2は、図1に示すトライステートバッファ回路の構成を示す回路図である。図2に示すように、トライステートバッファ回路2は、インバータを構成するPチャンネルMOSトランジスタQP1及びNチャンネルMOSトランジスタQN1と、トランジスタQP1及びQN1にソース電流を供給するPチャンネルMOSトランジスタQP2及びNチャンネルMOSトランジスタQN2と、負論理の出力イネーブル信号OEバーを反転して出力イネーブル信号OEを出力するインバータ20とを備えている。

【0017】

トランジスタQP2は、出力イネーブル端子22に印加される負論理の出力イネーブル信号OEバーに従って、高電位側の電源電位VDDとトランジスタQP1との間でスイッチングを行う。一方、トランジスタQN2は、インバータ20

から出力される出力イネーブル信号OEに従って、トランジスタQN1と低電位側の電源電位 V_{SS} （本実施形態においてはアース電位とする）との間でスイッチングを行う。

【0018】

負論理の出力イネーブル信号OEバーがローレベルにあるときには、トランジスタQP2及びQN2がオンするので、トランジスタQP1及びQN1がインバータとして動作し、入力端子21に印加される入力信号INを反転して、反転された信号を出力端子23から出力信号OUTとして出力する。

【0019】

一方、負論理の出力イネーブル信号OEバーがハイレベルにあるときには、トランジスタQP2及びQN2がオフするので、トランジスタQP1及びQN1もオフし、入力端子21に印加される入力信号INの状態に関係なく、出力端子23はハイインピーダンス状態になる。

【0020】

再び図1を参照すると、トライステートバッファ回路2の入力端子には、アース電位が供給されて、ローレベルの入力信号が与えられている。トライステートバッファ回路2は、クロック信号CKがハイレベルにあるときに、ローレベルの入力信号を反転してハイレベルの出力信号を生成し、クロック信号CKがローレベルにあるときに、出力端子をハイインピーダンス状態にする。

【0021】

パッド4とアース電位との間には、抵抗5が接続されている。一般に、抵抗の等価回路は、抵抗成分と並列に容量成分を含んでいる。また、トライステートバッファ回路2は出力容量を有しており、バッファ回路3は入力容量を有している。さらに、配線の浮遊容量も存在する。従って、パッド4とアース電位との間には、抵抗成分の他に容量成分も接続されていることになる。

【0022】

パッド4の電位（パッド電位） V_p は、トライステートバッファ回路2の出力端子がハイインピーダンス状態であるときに、上記の抵抗成分及び容量成分によって積分（平滑）される。バッファ回路3は、トライステートバッファ回路2の

出力電位、即ち、パッド電位 V_P に従って、検出信号 DET を出力する。

【0023】

図3は、図1に示す回路の各部の波形を示す波形図である。クロック信号 CK が供給されている間は、パッド電位 V_P は、クロック信号 CK がハイレベルであるときに、トライステートバッファ回路2の出力信号が供給されてハイレベルとなり、クロック信号 CK がローレベルであるときに、抵抗5を介した放電により滑らかに下降する。

【0024】

一方、クロック信号 CK がローレベルで停止すると、トライステートバッファ回路2の出力端子はハイインピーダンス状態となり、パッド電位 V_P は、抵抗5を介した放電によりアース電位に近づいて行く。バッファ回路3の出力電位が反転するときの入力電位をしきい電位 V_{TH} とすると、パッド電位 V_P がしきい電位 V_{TH} よりも高い間は検出信号 DET がハイレベルであるが、パッド電位 V_P がしきい電位 V_{TH} よりも低くなると検出信号 DET がローレベルとなる。このようにして、簡単な回路構成により、クロック信号 CK が供給されているか否かを高精度に検出することができる。

【0025】

次に、本発明の第2の実施形態について説明する。

図4は、本発明の第2の実施形態に係るクロック信号検出回路の構成を示す図である。本実施形態においては、トライステートバッファ回路2の入力端子に高電位側の電源電位 V_{DD} を供給すると共に、パッド4と電源電位 V_{DD} との間に抵抗5を接続している。その他の構成に関しては、第1の実施形態と同様である。

【0026】

トライステートバッファ回路2は、クロック信号 CK がハイレベルにあるときに、ハイレベルの入力信号を反転してローレベルの出力信号を生成し、クロック信号 CK がローレベルにあるときに、出力端子をハイインピーダンス状態にする。クロック信号 CK が供給されている間は、パッド電位 V_P は、クロック信号 CK がハイレベルであるときに、トライステートバッファ回路2の出力電位が供給

されてローレベルとなり、クロック信号CKがローレベルであるときに、抵抗5を介した充電により滑らかに上昇する。

【0027】

一方、クロック信号CKが供給されなくなると、パッド電位 V_P は、抵抗5を介した充電により電源電位 V_{DD} に近づいて行く。パッド電位 V_P がしきい電圧 V_{TH} よりも低い間は検出信号DETがローレベルであるが、パッド電位 V_P がしきい電圧 V_{TH} よりも高くなると検出信号DETがハイレベルとなる。このようにして、簡単な回路構成により、クロック信号CKが供給されているか否かを高精度に検出することができる。

【0028】

以上の実施形態においては、抵抗5を外付けとしたが、抵抗5を半導体集積回路内に形成するようにしても良い。また、抵抗の代わりにトランジスタを用いても良い。次に、インピーダンス素子としてトランジスタを用いた本発明の第3の実施形態について説明する。

【0029】

図5は、本発明の第3の実施形態に係るクロック信号検出回路の構成を示す図である。図5に示すように、トライステートバッファ回路2の出力端子とアース電位との間に、インピーダンス素子としてNチャンネルMOSトランジスタ6が接続されている。トランジスタ6のゲートには所定のバイアス電圧 V_B が印加されており、トランジスタ6には、バイアス電圧 V_B に応じたドレイン電流が流れ、抵抗と等価になる。

【0030】

一般に、トランジスタは、ドレイン・ゲート間、及び、ゲート・ソース間に容量成分を有している。また、トライステートバッファ回路2は出力容量を有しており、バッファ回路3は入力容量を有している。さらに、配線の浮遊容量も存在する。従って、トライステートバッファ回路2の出力端子とアース電位との間には、抵抗成分及び容量成分が接続されていることになる。

【0031】

トライステートバッファ回路2の出力電位は、出力端子がハイインピーダンス

状態であるときに、上記の抵抗成分及び容量成分によって積分（平滑）される。バッファ回路 3 は、トライステートバッファ回路 2 の出力電位に従って、検出信号 DET を出力する。全体の動作に関しては、第 1 の実施形態において説明したのと同様である。本実施形態によれば、受動素子である抵抗 5（図 1 参照）を用いずに、クロック信号検出回路を構成できる。

【0032】

次に、本発明の第 4 の実施形態について説明する。

図 6 は、本発明の第 4 の実施形態に係るクロック信号検出回路の構成を示す図である。図 6 に示すように、このクロック信号検出回路は、図 1 に示す第 1 の実施形態の回路に加えて、半導体集積回路の内部において、クロック信号 CK が出力イネーブル端子に供給されるトライステートバッファ回路 6 と、トライステートバッファ回路 6 の出力信号を入力するバッファ回路 7 と、バッファ回路 3 及び 7 の出力信号が入力される AND 回路 10 とを含んでいる。トライステートバッファ回路 6 の出力信号は、半導体集積回路のパッド 8 にも供給されており、パッド 8 とアース電位との間に、インピーダンス素子として外付けの抵抗 9 が接続されている。

【0033】

トライステートバッファ回路 6 の入力端子には、アース電位が供給されて、ローレベルの入力信号が与えられている。トライステートバッファ回路 6 は、クロック信号 CK がハイレベルにあるときに、ローレベルの入力信号を反転してハイレベルの出力信号を生成し、クロック信号 CK がローレベルにあるときに、出力端子をハイインピーダンス状態にする。

【0034】

パッド 8 とアース電位との間には、抵抗 9 の抵抗成分の他にも、抵抗 9 の容量成分、トライステートバッファ回路 6 の出力容量、バッファ回路 7 の入力容量、配線の浮遊容量等の容量成分が接続されている。パッド 8 の電位（パッド電位） V_Q は、トライステートバッファ回路 6 の出力端子がハイインピーダンス状態であるときに、上記の抵抗成分及び容量成分によって積分（平滑）される。バッファ回路 7 は、トライステートバッファ回路 6 の出力電位、即ち、パッド電位 V_Q

に従って、出力信号を生成する。

【0035】

クロック信号CKが供給されている間は、パッド電位 V_Q は、クロック信号CKがローレベルであるときに、トライステートバッファ回路6の出力信号が供給されてハイレベルとなり、クロック信号CKがハイレベルであるときに、抵抗9を介した放電により滑らかに下降する。

【0036】

一方、クロック信号CKがハイレベルで停止すると、トライステートバッファ回路6の出力端子はハイインピーダンス状態となり、パッド電位 V_Q は、抵抗9を介した放電によりアース電位に近づいて行く。バッファ回路7の出力電位が反転するときの入力電位をしきい電位 V_{TH7} とすると、パッド電位 V_Q がしきい電位 V_{TH7} よりも高い間はバッファ回路7の出力電位がハイレベルであるが、パッド電位 V_Q がしきい電位 V_{TH7} よりも低くなるとバッファ回路7の出力電位がローレベルとなる。

【0037】

また、バッファ回路3は、トライステートバッファ回路2の出力電位、即ち、パッド電位 V_P に従って、出力信号を生成する。クロック信号CKがローレベルで停止すると、トライステートバッファ回路2の出力端子はハイインピーダンス状態となり、パッド電位 V_P は、抵抗5を介した放電によりアース電位に近づいて行く。バッファ回路3の出力電位が反転するときの入力電位をしきい電位 V_{TH3} とすると、パッド電位 V_P がしきい電位 V_{TH3} よりも高い間はバッファ回路3の出力電位がハイレベルであるが、パッド電位 V_P がしきい電位 V_{TH3} よりも低くなるとバッファ回路3の出力電位がローレベルとなる。

【0038】

バッファ回路3及び7の出力電位はAND回路10に入力されるので、クロック信号CKがハイレベル又はローレベルで停止すると、バッファ回路3又は7の出力電位がローレベルとなり、AND回路10から出力される検出信号DETもローレベルとなる。このようにして、本実施形態によれば、クロック信号CKがハイレベル及びローレベルの何れの状態で停止したときにも、クロック信号CK

が供給されなくなったことを検出することができる。なお、本実施形態においても、抵抗5及び9の代わりに、半導体集積回路内に形成した抵抗やトランジスタ等のインピーダンス素子を用いることができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係るクロック信号検出回路を示す図。

【図2】 図1に示すトライステートバッファ回路の構成を示す回路図。

【図3】 図1に示す回路の各部の波形を示す波形図。

【図4】 本発明の第2の実施形態に係るクロック信号検出回路を示す図。

【図5】 本発明の第3の実施形態に係るクロック信号検出回路を示す図。

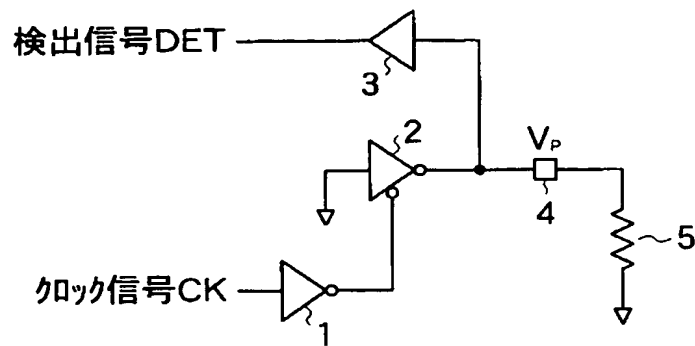
【図6】 本発明の第4の実施形態に係るクロック信号検出回路を示す図。

【符号の説明】

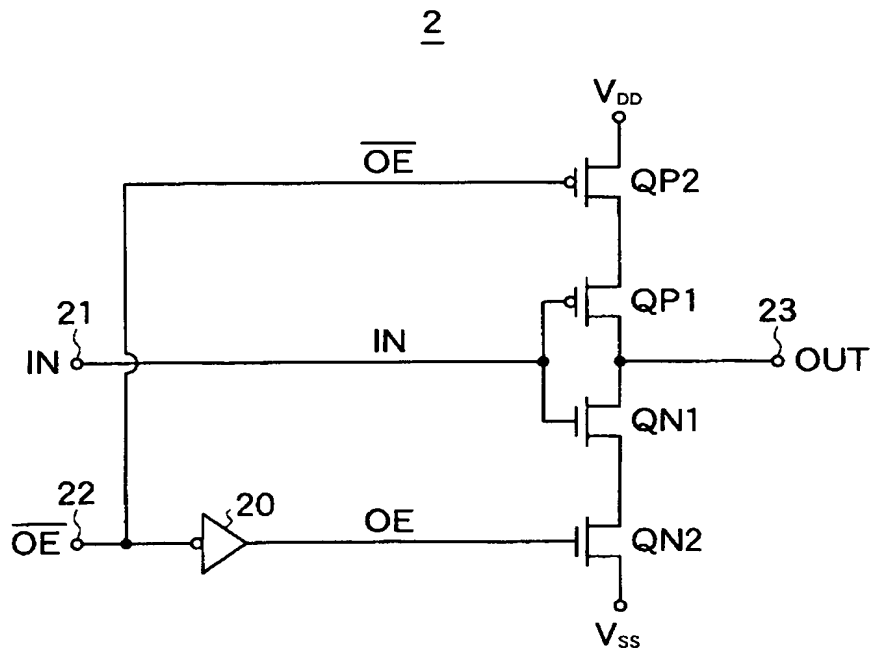
1 インバータ、 2、6 トライステートバッファ回路、 3、7 バッファ回路、 4、8 パッド、 5、9 抵抗、 6 NチャネルMOSトランジスタ、 10 AND回路、 20 インバータ、 21 入力端子、 22 出力イネーブル端子、 23 出力端子、 QP1、QP2 PチャネルMOSトランジスタ、 QN1、QN2 NチャネルMOSトランジスタ

【書類名】 図面

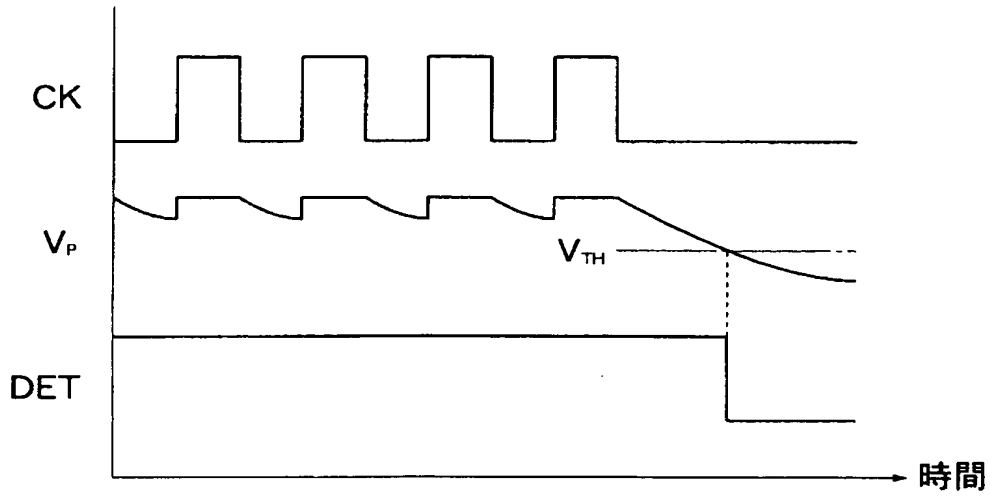
【図 1】



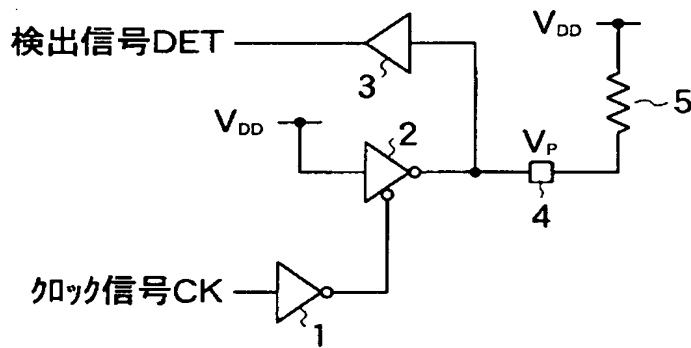
【図 2】



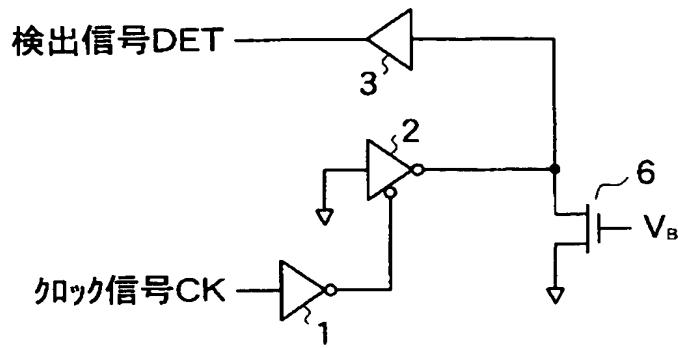
【図3】



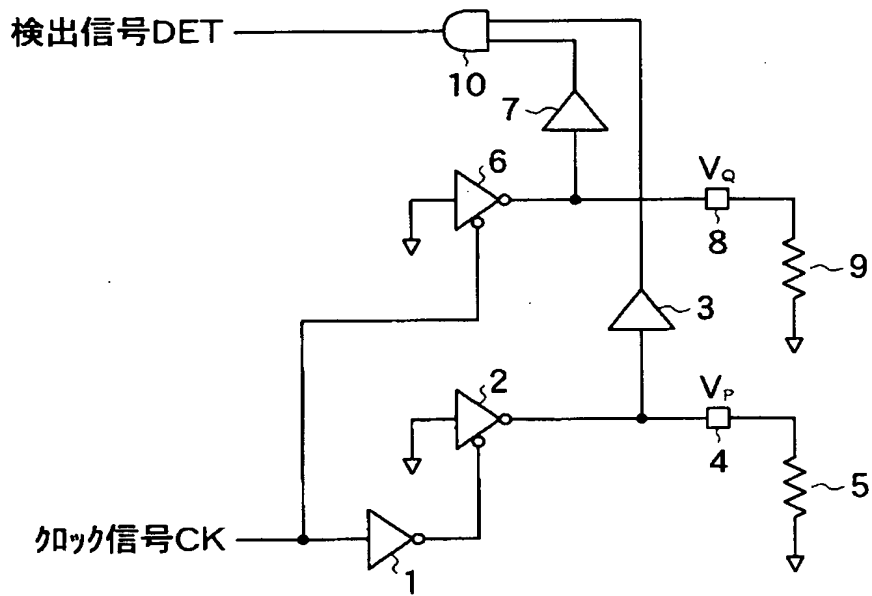
【図4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 回路規模及び消費電力を抑えながら、クロック信号が供給されているか否かを高精度に検出することができるクロック信号検出回路を提供する。

【解決手段】 このクロック信号検出回路は、クロック信号が第1のレベルにあるときに所定の電位の出力信号を生成し、クロック信号が第2のレベルにあるときに出力端子をハイインピーダンス状態にするトライステートバッファ回路2と、トライステートバッファ回路2の出力端子と、所定の電位と異なる電位との間に接続された抵抗5と、トライステートバッファ回路2の出力電位に従ってクロック信号検出結果を生成するバッファ回路3とを具備する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2003-115248
受付番号	50300652663
書類名	特許願
担当官	第三担当上席 0092
作成日	平成15年 4月22日

<認定情報・付加情報>

【提出日】 平成15年 4月21日

次頁無

特願 2003-115248

出願人履歴情報

識別番号 [000002369]

1. 変更年月日	1990年 8月20日
[変更理由]	新規登録
住所	東京都新宿区西新宿2丁目4番1号
氏名	セイコーエプソン株式会社